

Lec2 IC 设计、制造

程思璐

E-mail: silu.cheng@tju.edu.cn

微电子学院

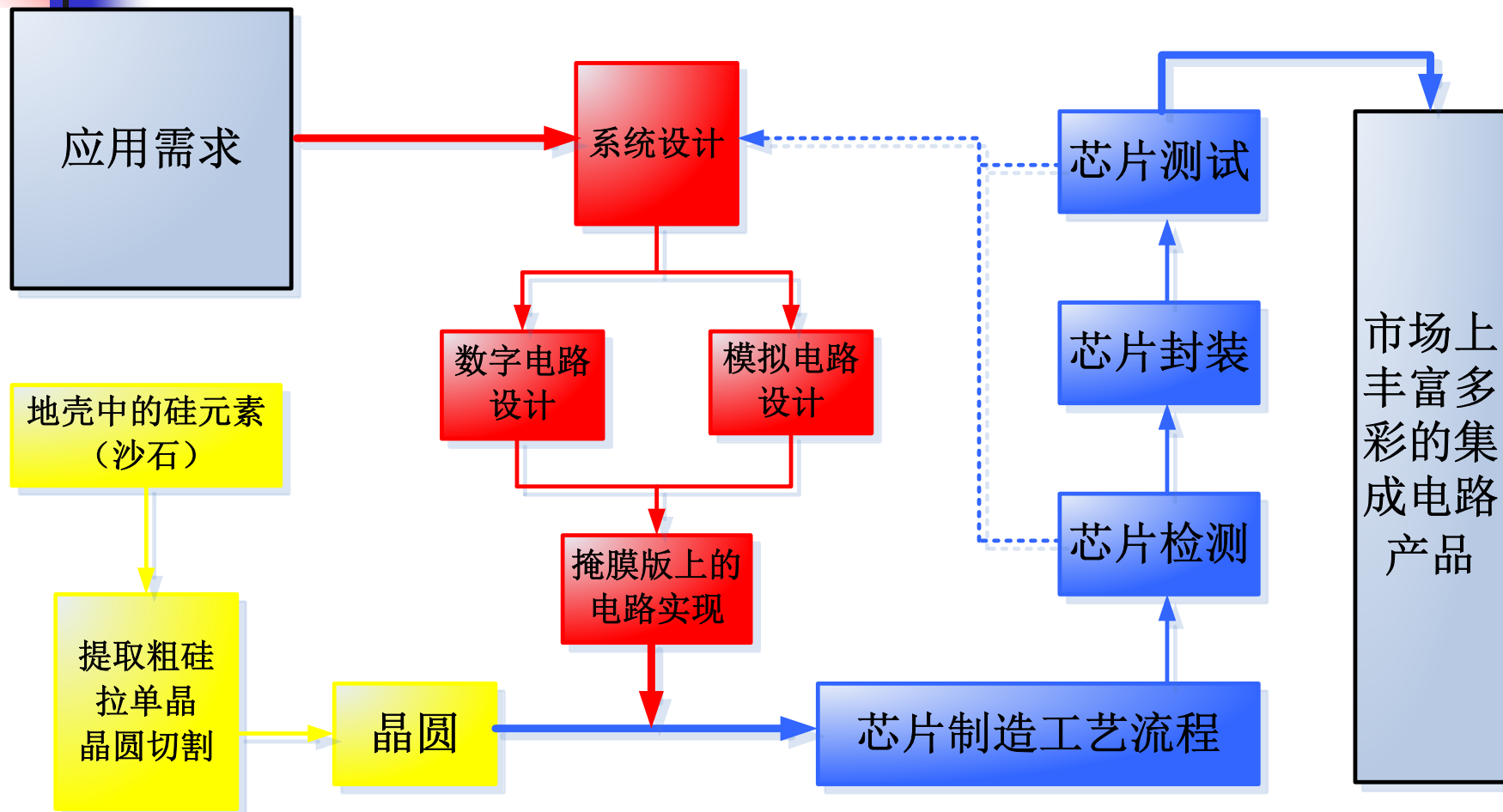
2019.3



Content

- IC EDA Design System
- Bottom-up IC design flow
- Top-Down IC design flow
- Famous Fab
- Modern EDA software introduction
- VLSI fabrication process

集成电路设计与制造的主要流程



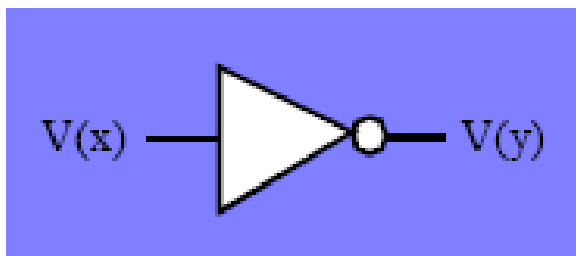


集成电路设计分类

- 集成电路设计可分为数字电路设计和模拟电路设计两大类。
- 数字电路：由各种逻辑电路组合而成，通过二进制运算，完成特定的功能。
- 模拟电路：主要完成模拟信号的放大，模拟信号与数字信号之间的转换、电源管理等功能。

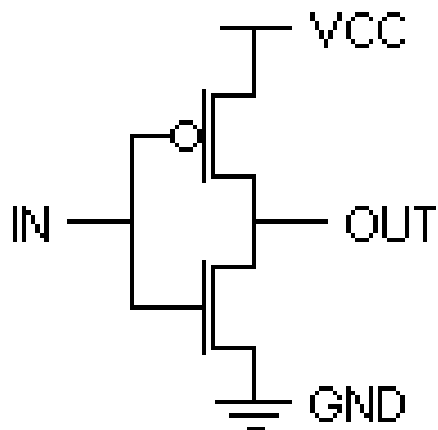
数字电路基本单元反相器

- 数字电路最基本的单元是反相器，其符号和真值表如为：

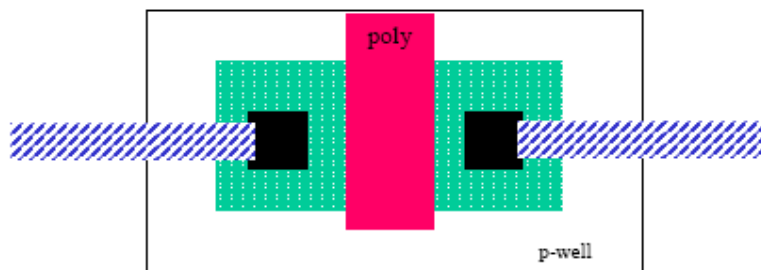


输入	输出
0	1
1	0

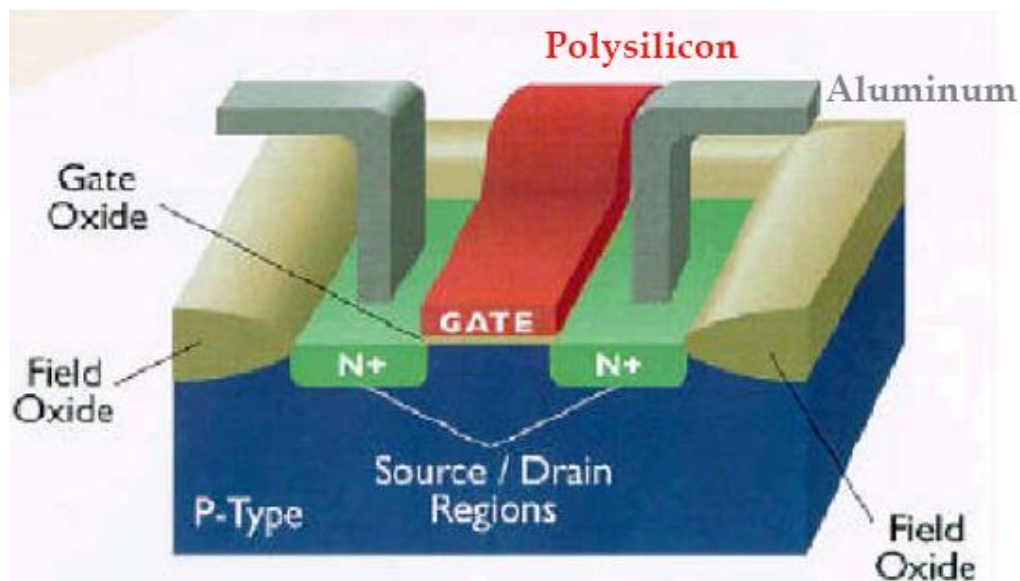
电路图，版图和结构图



反相器CMOS电路图



NMOS版图



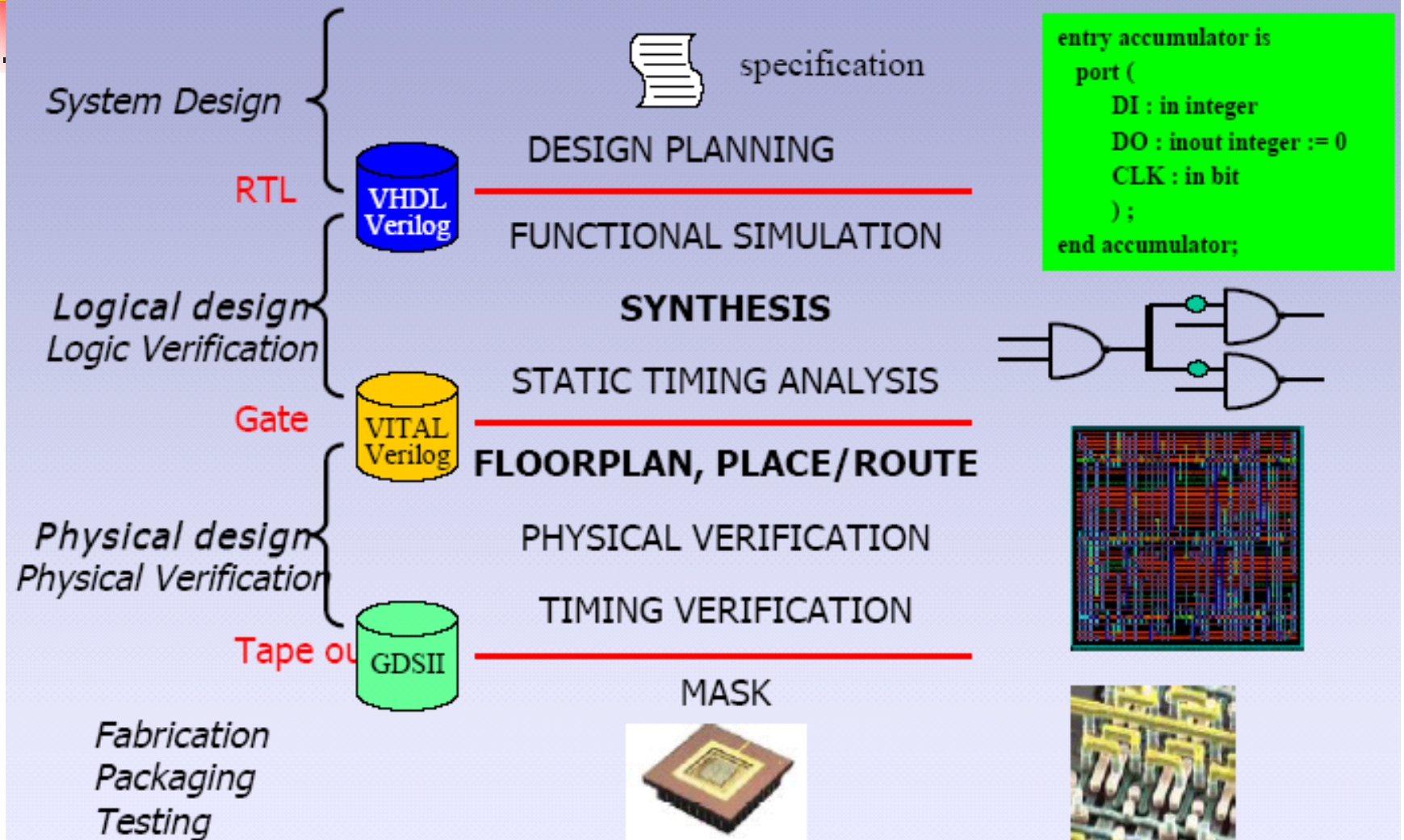
NMOS结构图

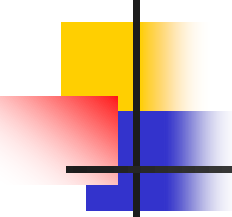


数字集成电路基本单元

- 数字电路由组合逻辑电路和时序电路构成。
- 组合逻辑电路基本单元包括：反相器，与非门、或非门，异或门，同或门等。
- 时序电路包括：锁存器、触发器等；

数字集成电路设计流程





数字电路流程

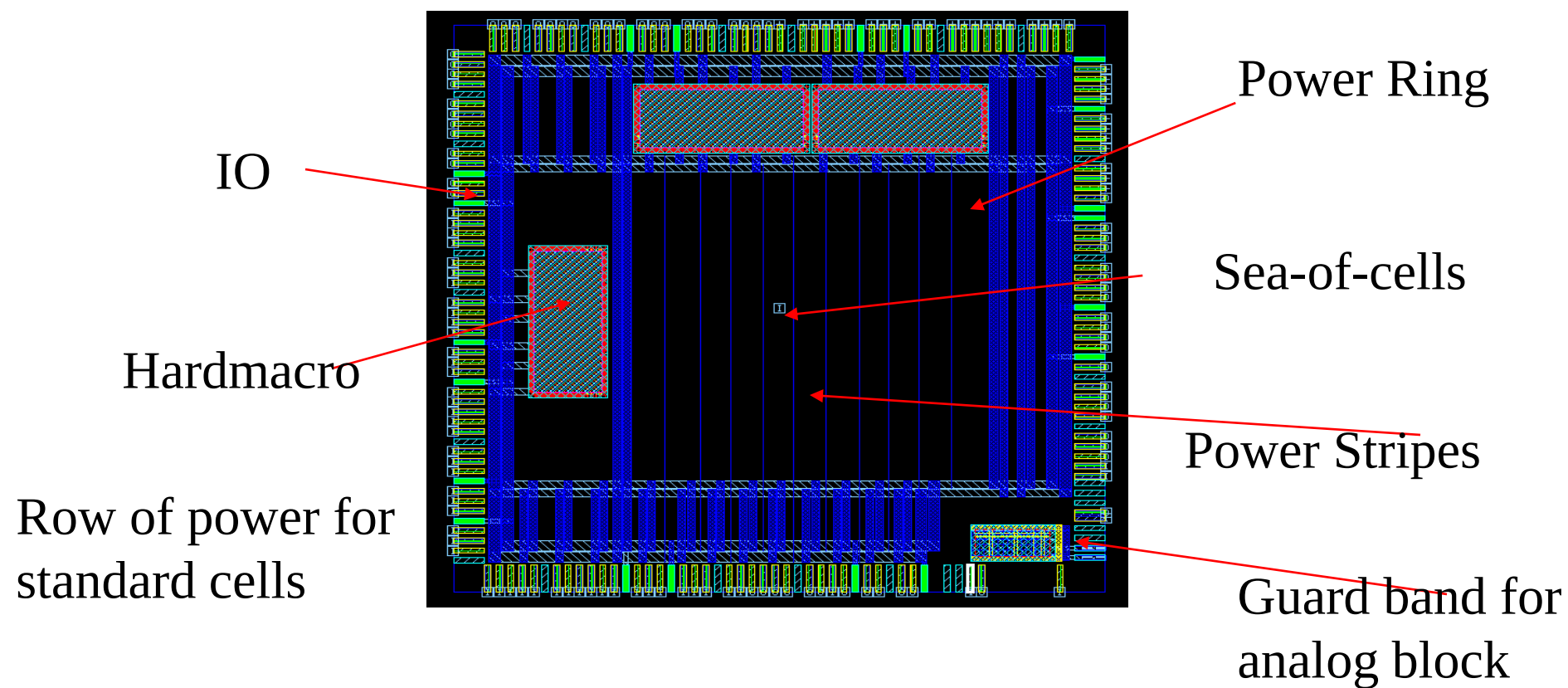
- 系统级设计：用语言提供的高级结构 实现所要设计的算法和模块的性能，不考虑具体电路实现，可用C语言或System Verilog语言。
- RTL 级：描述数据在寄存器之间的流动，和如何处理、控制这些数据流动的模型。
- 逻辑综合：利用综合工具将RTL级设计转换为包含基本门（在数字电路标准单元库中定义）和门之间连线的网表。



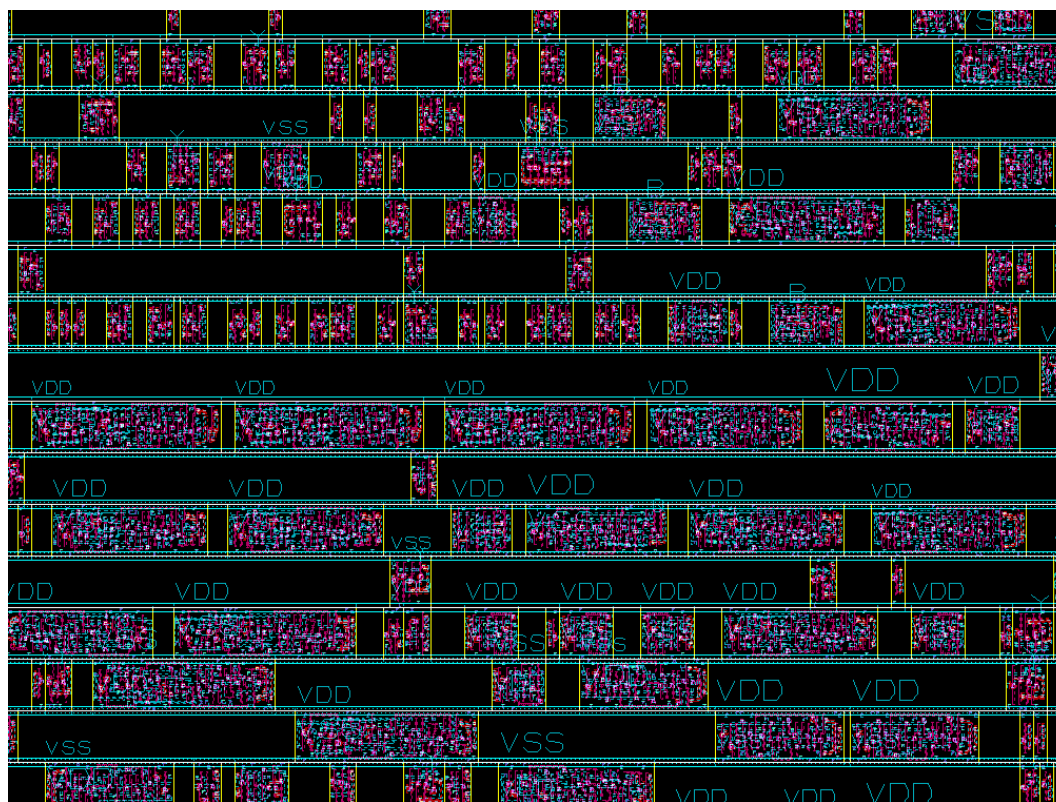
数字电路流程

- 版图级设计：设计完成版图。版图用于制造集成电路生产所需要的光刻版。数字电路设计一般采用自动布局布线的方式生成版图。
- 布局后验证：在版图生成后，将寄生的电容提取然后再仿真以获得精确的电路特性。

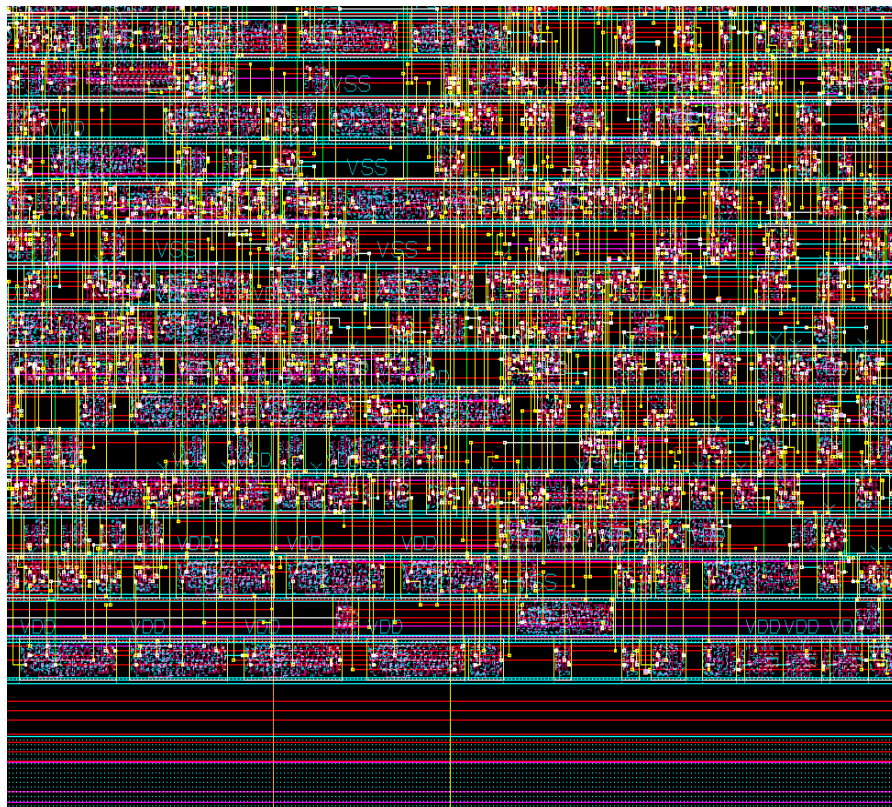
版图系统规划

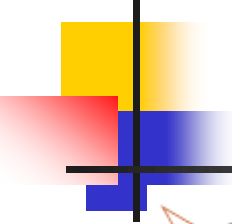


标准单元布局



自动布线





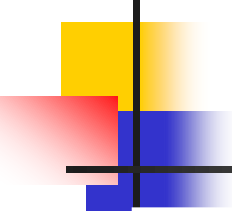
数字电路设计工具

➤ 设计输入

- 任何文本编辑工具
- **Ultraedit, vi**, 仿真器自带编辑器...

➤ RTL级功能仿真

- **Modelsim (Mentor),**
- **VCS/VSS (Synopsys)**
- **NC-Verilog (Cadence)**
- **Verilog-XL (Cadence)**



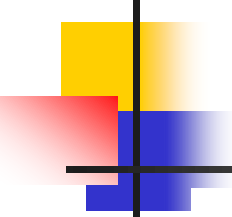
数字电路设计工具

➤ 逻辑综合

- **Cadence: Ambit, PKS;**
- **Synopsys: Design Compiler;**
- **Magma: Blast RTL**

➤ 物理综合

- **Synopsys: Physical Compiler**
- **Magma: Blast Fusion**



数字电路设计工具

- 形式验证工具
 - **Formality (Synopsys)**
 - **FormalPro (Mentor)**
- **Floorplanning /布局/布线**
 - **Synopsys: Apollo, Astro,**
 - **Cadence: SoC Encounter, Silicon Ensemble**
- 参数提取
 - **Cadence: Nautilus DC**
 - **Synopsys: Star-RC XT**
- 时序验证
 - **Cadence: Pearl**
 - **Synopsys: PrimeTime**



数字电路设计工具

➤ DRC/LVS

- Dracula (Cadence)
- Calibre (Mentor)
- Hercules (Synopsys)

➤ 可测试性设计(DFT)编译器和自动测试模式生成

- Synopsys: **DFT编译器, DFT Compiler**; 自动测试生成 (**ATPG**) 与故障仿真, **Tetra MAX**
- Mentor: **FastScan**

➤ 晶体管级功耗模拟

- Synopsys: **PowerMill**

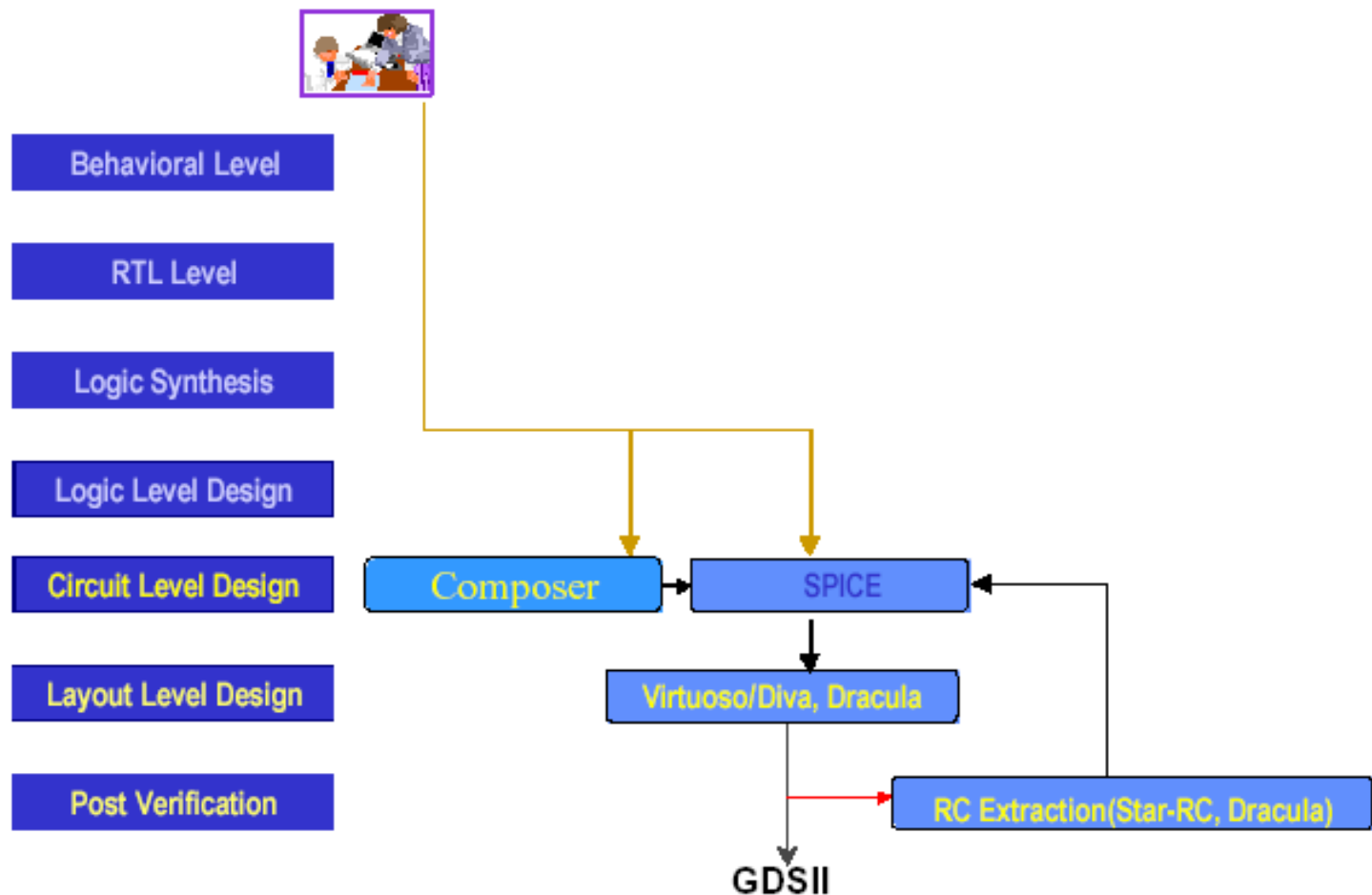


模拟集成电路的基本单元

模拟集成电路的基本单元包括：

- 运算放大器
- 比较器
- 基准电压源和电流源
- 振荡器和波形发生器
- 整形电路等

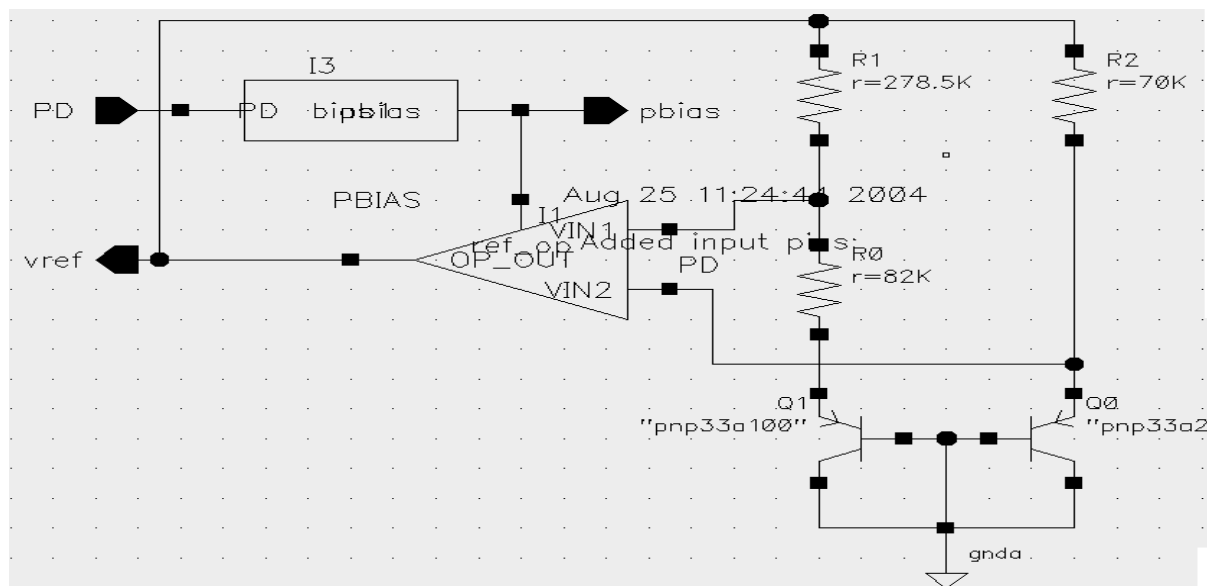
模拟电路设计流程



模拟电路设计流程

1、电路设计

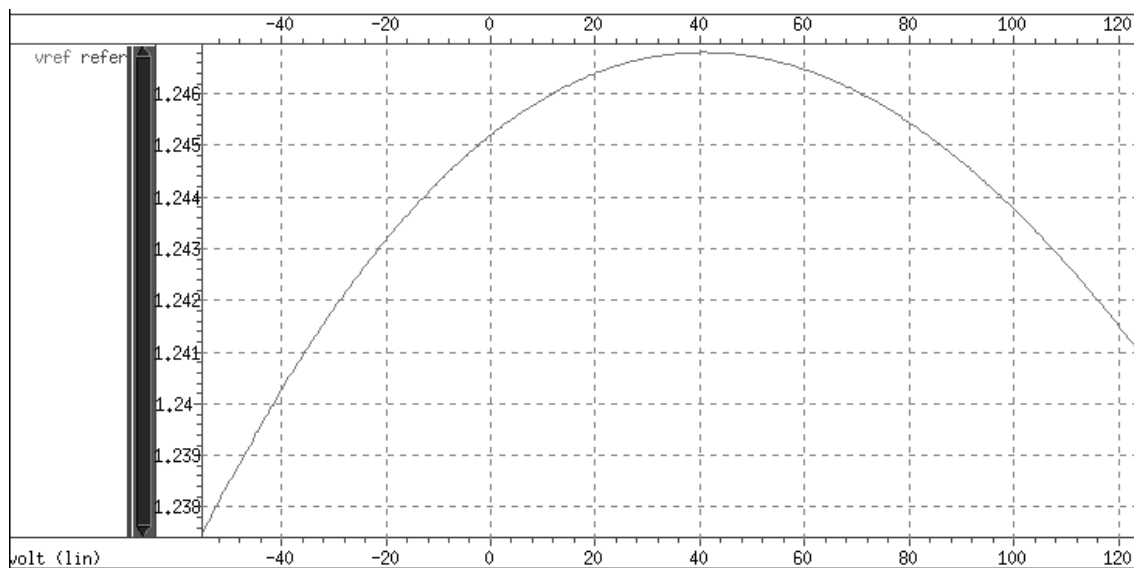
- 根据设计指标选择适当的架构（并行或串行，差分信号或单端信号）
- 根据架构决定电路的各种组合（电流镜种类/补偿种类）
- 根据交、直流参数决定适当的晶体管大小及偏置
- 根据环境决定负载种类及负载值。



模拟电路设计流程

2、电路模拟：

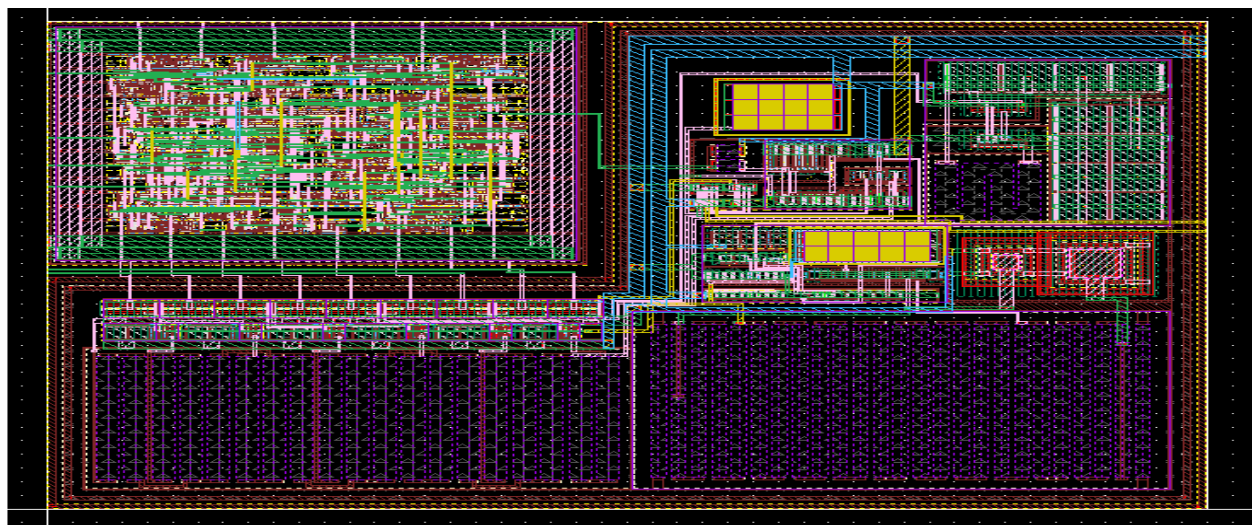
- 依所给定的元件模型验证所设计的电路的功能和指标。
- 提供电路架构参数修改的依据，根据模拟结果决定布局原则：电源线宽度、**Buffer**数量等。
- 依工艺参数制定电路的工作区间及限制。



模拟电路设计流程

3、版图设计与验证

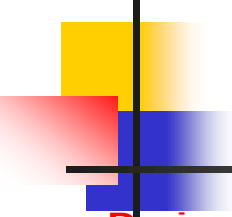
- 电路的设计决定电路的组成及相关的参数，但仍不是实体的成品，集成电路的实际成品须经晶片厂的制作。
- 版图设计是将电路转换为图形描述格式，即设计工艺过程需要的各种各样的掩膜版，版图验证是检查版图中的错误。





模拟电路设计的EDA工具

- 1、电路图设计：Cadence公司的Composer Schematic，Synopsys公司的Cosmos，华大九天的熊猫系列。
- 2、电路仿真工具：Cadence公司Spectre，Synopsys公司的Hspice等
- 3、版图设计工具：Cadence公司的Virtuoso 等，Synopsys公司的Cosmos，华大的熊猫系列产品。
- 4、版图验证与参数提取工具：Cadence公司的Diva，Dracula，Assura，Synopsys公司的Herculers，Mentor公司的Calibre等。



IC EDA Design System

Designer

Tasks

Tools

Architect

Define Overall Chip
C/RTL Model
Initial Floorplan

Text Editor
C Compiler

Logic
Designer

Behavioral Simulation
Logic Simulation
Synthesis
Datapath Schematics

RTL Simulator
Synthesis Tools
Timing Analyzer
Power Estimator

Circuit
Designer

Cell Libraries
Circuit Schematics
Circuit Simulation
Megacell Blocks

Schematic Editor
Circuit Simulator
Router

Physical
Designer

Layout and Floorplan
Place and Route
Parasitics Extraction
DRC/LVS/ERC

Place/Route Tools
Physical Design
and Evaluation
Tools

90s,
高层次设计
自动化EDA

80s,
计算机辅助
工程CAE

70s,
计算机辅助
设计CAD



IC Design Flow

■ 正向设计 Forward Design

是指从需求出发，以综合的方法从**IC**的高层至低层，直到完成电路的掩膜版图设计。

■ 反向设计 Backward Design

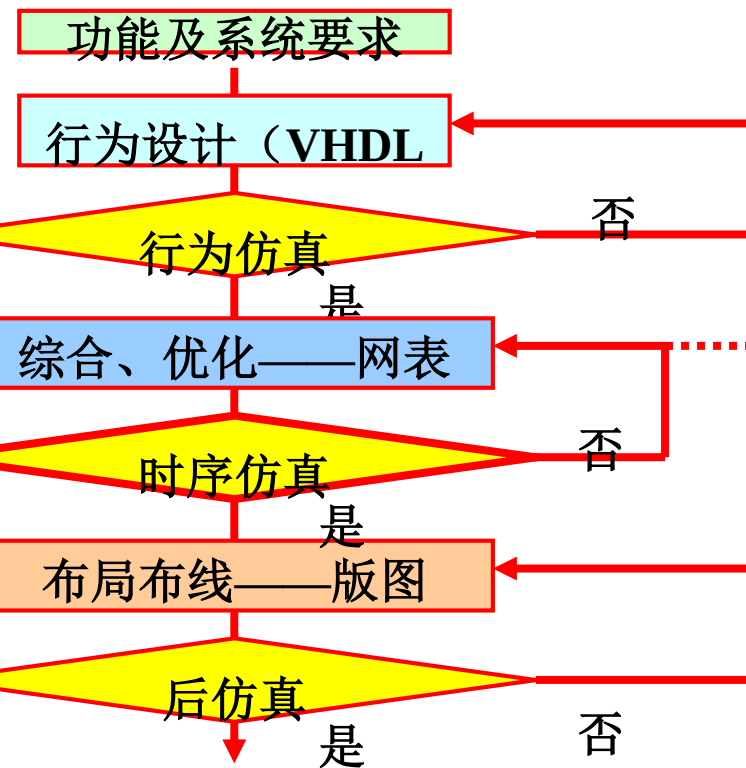
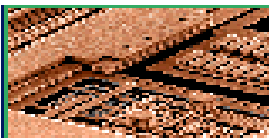
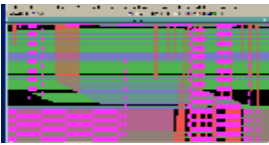
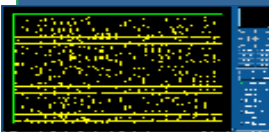
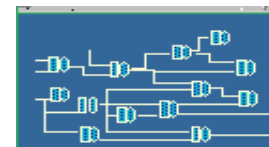
逆向设计正好相反，它是以分析的方法从**IC**的低层到高层，即对芯片的版图进行逻辑提取、功能与原理分析，以期符合原设计思想。

IC Design Flow——Top-Down

■ 自顶向下（Top-Down）设计

从确定电路系统的设计指标开始，将系统划分为各个功能模块，每个模块由更细化的行为描述表达。自系统级、寄存器传输级、逻辑级直到物理级**逐级细化**并逐级验证其功能和性能。

```
process begin  
  wait until rise  
  CE_OSC <= 0;  
  and CE_O <= 1;  
  if (RST_AEN = '1') then  
    TOGGLE <= not  
    TOGGLE;  
    and if;  
  end if;  
end process
```



数字集成电路Top-Down设计流程



IC Design Flow——Bottom-up

■ 自底向上（**Bottom-Up**）设计

难以完成十万门以上的设计，设计从结构级开始，到系统级才发现无法满足设计规范。难以处理复杂**IC**的逻辑结构的详细细节，无法把握电路的总体结构和性能。
设计效率低、周期长，一次设计成功率低。

由基本门组成各个组合与时序逻辑单元

由逻辑单元组成各个独立的的功能模块

由各个功能模块连成一个完整系统

进行整个系统的测试与性能分析



Famous Fab

- **Fab**——集成电路制造工厂的简称
- **Fab**根据有**GDS—II**数据所制成的光刻版进行生产，以**PCM**参数进行验收；
- **Fab**给客户的产品形式为加工好的**Wafer**；
- **Fab**提供给**Fabless IC Design House**设计规则、**PCM**参数、**Spice**模型及**layout**验证文件。

TSMC——台湾积体电路

- 全世界最大的集成电路工厂（**Feb**）
- 16/12/10/7nm FinFET工艺
- 0.35/0.18um SiGe BiCMOS工艺
- 0.6/0.18/0.13um BCD-MOS工艺
- 晶圆尺寸为6英寸/8英寸/12英寸
- 在台湾、上海都有工厂



Famous Fab

UMC——台湾联华电子

Chartered——新加坡特许半导体

SMIC——中芯国际

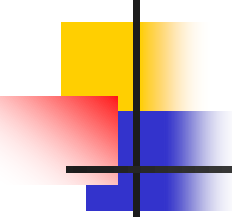
2018年Worldwide Top10 10大OEM芯片采购企业的市场占比

2017 Ranking	2018 Ranking	Company	2017	2018	2018 Market Share (%)	Growth (%) 2017-2018
1	1	Samsung Electronics	40,408	43,421	9.1	7.5
2	2	Apple	38,834	41,883	8.8	7.9
5	3	Huawei	14,558	21,131	4.4	45.2
3	4	Dell	15,606	19,799	4.2	26.9
4	5	Lenovo	15,173	17,658	3.7	16.4
6	6	BBK Electronics*	11,679	13,720	2.9	17.5
7	7	HP Inc.	10,632	11,584	2.4	9.0
13	8	Kingston Technology	5,273	7,843	1.6	48.7
8	9	Hewlett Packard Enterprise	6,543	7,372	1.5	12.7
18	10	Xiaomi	4,364	7,103	1.5	62.8
		Others	257,324	285,179	59.8	10.8
		Total	420,393	476,693	100.0	13.4

2018年全球收入排名前10位的半导体厂商（单位：百万美元）

2018 Rank	2017 Rank	Vendor	2018 Revenue	2018 Market Share (%)	2017 Revenue	2017-2018 Growth (%)
1	1	Samsung Electronics	75,854	15.9	59,875	26.7
2	2	Intel	65,862	13.8	58,725	12.2
3	3	SK hynix	36,433	7.6	26,370	38.2
4	4	Micron Technology	30,641	6.4	22,895	33.8
5	6	Broadcom	16,544	3.5	15,405	7.4
6	5	Qualcomm	15,380	3.2	16,099	-4.5
7	7	Texas Instruments	14,767	3.1	13,506	9.3
8	9	Western Digital	9,321	2.0	9,159	1.8
9	11	ST Microelectronics	9,276	1.9	8,031	15.5
10	10	NXP Semiconductors	9,010	1.9	8,750	3.0
		Others	98,648	20.7	95,215	3.6
		Total Market	476,693	100.0	420,393	13.4

Source: Gartner (January 2019)



2018年全球IC设计厂商前十名

表、全球前十大IC设计公司2018年第三季排名 (单位：百万美元)

排名	公司名称	3Q18营收	3Q17营收	YoY
1	Broadcom	4,989	4,721	5.7%
2	Qualcomm	4,647	4,650	-0.1%
3	NVIDIA	3,024	2,290	32.1%
4	MediaTek	2,185	2,122	3.0%
5	AMD	1,653	1,584	4.4%
6	Marvell	785	612	28.2%
7	Xilinx	746	627	19.0%
8	Novatek	514	413	24.3%
9	Realtek	394	365	7.9%
10	Dialog Semiconductor	384	363	5.7%

注：1. NVIDIA扣除OEM/IP营收

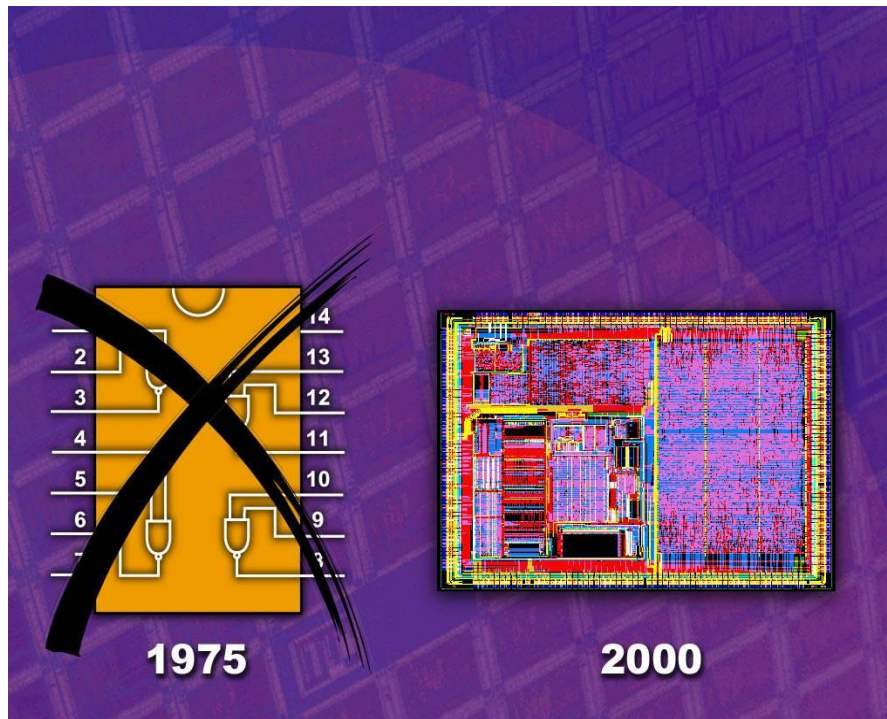
2. Qualcomm仅计算QCT部门营收，QTL未计入

3. 2018年Q3台币对美金平均汇率为30.68：1

数据来源：拓璞产业研究院，2018/11

可测性设计(DFT)

- VLSI越来越复杂,设计和测试将不再是孤立的!





为什么需要可测性设计

- TTM时间-市场（Time-to-market）
 - 增加生产的要求（Increased productivity demands）
 - 减少设计周期（Reduced design cycle）
 - 降低成本（Reduced cost）
 - 设计再利用（Design reuse）

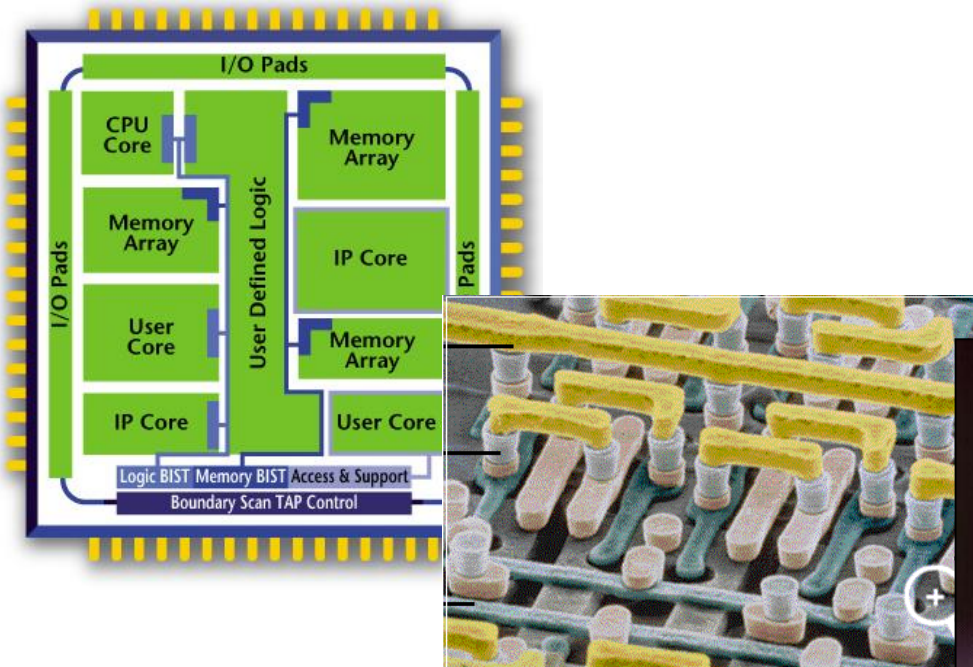


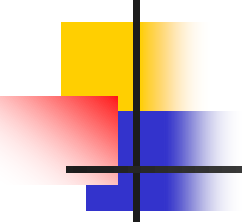
为什么需要可测性设计

- Quality（质量）
 - 每百万坏品DPM（ Defects per million ）
 - 质量测试
- Cost(成本)
 - 减少设计和测试成本

为什么应用DFT设计？

DFT $\cong$ (TTM) (Quality) (Cost)



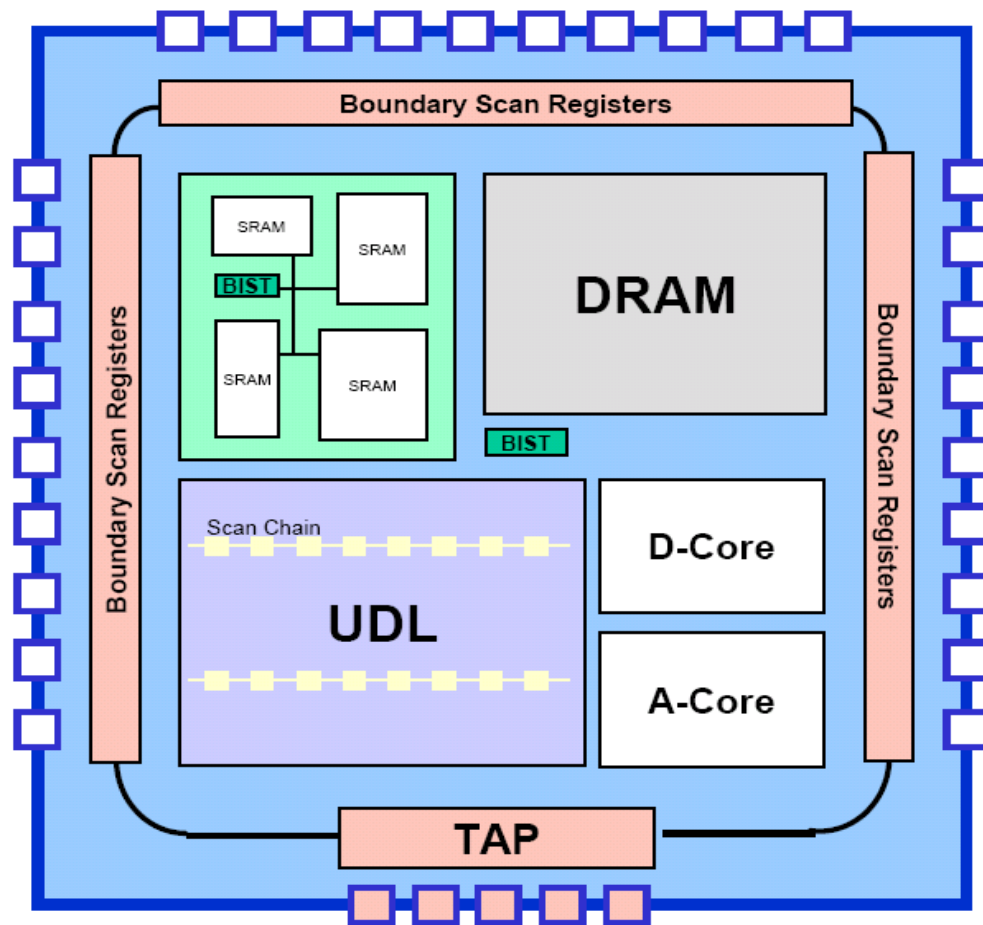


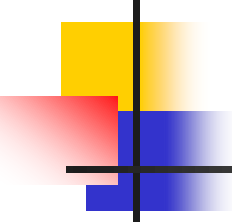
这些要求对测试意味着什么呢？

- 设计的复杂性意味着测试的复杂性。
- SoC 设计方式需要非传统的 DFT 设计方法和工具。
- 利用结构化测试达到：
 - 预期的质量；
 - 降低测试费用；
 - 帮助提高产量；
 - 改善工艺缺陷。

目前广泛采用的可测性设计技术

- 数字电路用扫描链 (Scan)
- 存储器用内建自测试 (BIST)
- 板级测试采用边界扫描 (Boundary-scan, BS)





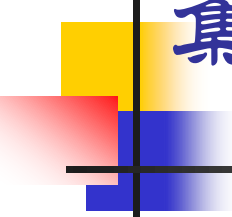
可测性设计EDA工具

Synopsys公司

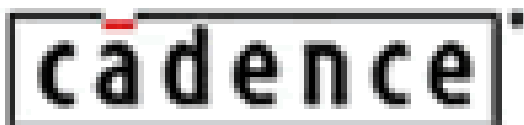
- DFT编译器：DFT Compiler
- 自动测试模式生成与故障仿真：Tetra MAX

Mentor 公司

- DFTAdvisor , FastScan , FlexTest , BSDArchitect , MacroTest , DFTInsight 和 ModelSim 等
- EDA工具可以完成测试综合, 测试向量自动生成, 测试向量压缩, 嵌入式存储器测试, 边界扫描测试等。



集成电路设计的主流EDA设计公司



cadence



SYNOPSYS



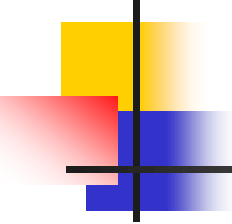
Mentor
Graphics



MAGMA

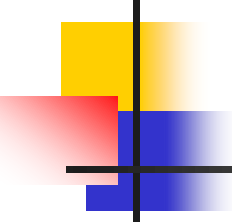


华大电子



EDA公司简介

- Cadence提供模拟和数字集成电路全流程设计所需要的工具，模拟电路设计工具尤为突出。
 - 信号处理系统模型，如SPW
 - 数字设计及验证，如Nanosim、NC-SIM
 - 模拟设计及验证，如Spectre、Schematic Compositor
 - RF仿真工具，如Spectre RF
 - Layout验证，如Diva、Dracula、ASSURA
 - 设计输入工具，如Virtuso
 - 布局布线，如PKS、Silicon Ensemble



EDA公司简介

- **Synopsys**提供模拟和数字集成电路全流程设计所需要的工具。数字电路设计工具尤为突出。

—数字设计及验证，如VCS、

—模拟电路仿真，如Hspice、Star-Sim、HSIM

—逻辑综合，如Design Compiler

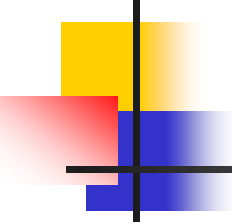
—器件及工艺仿真，如Medici、Tsuprem、Davinci

—时序分析，如Prime Time

—版图验证，如Calibre

—布局布线，如Apollo

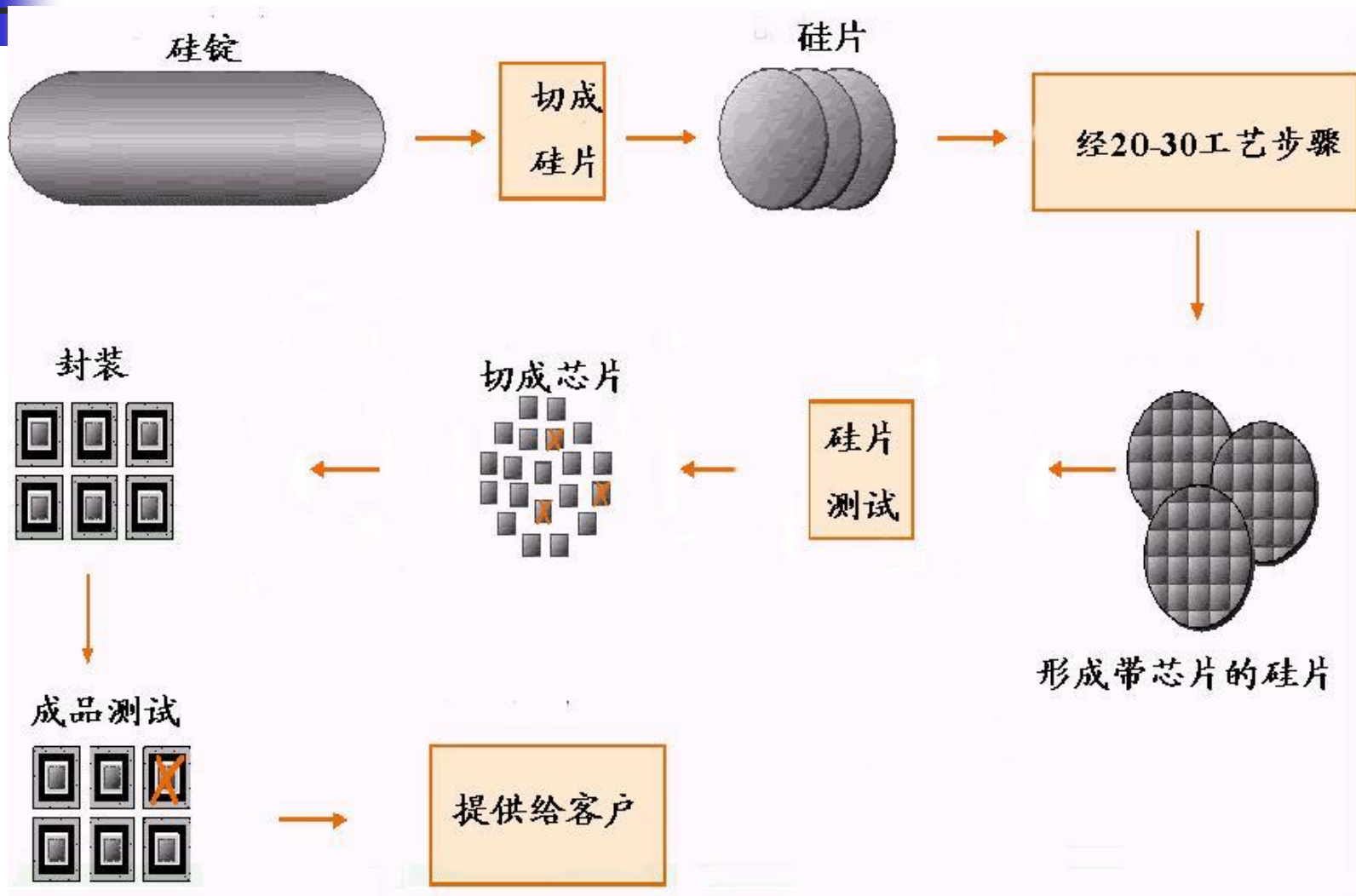
SYNOPSYS®



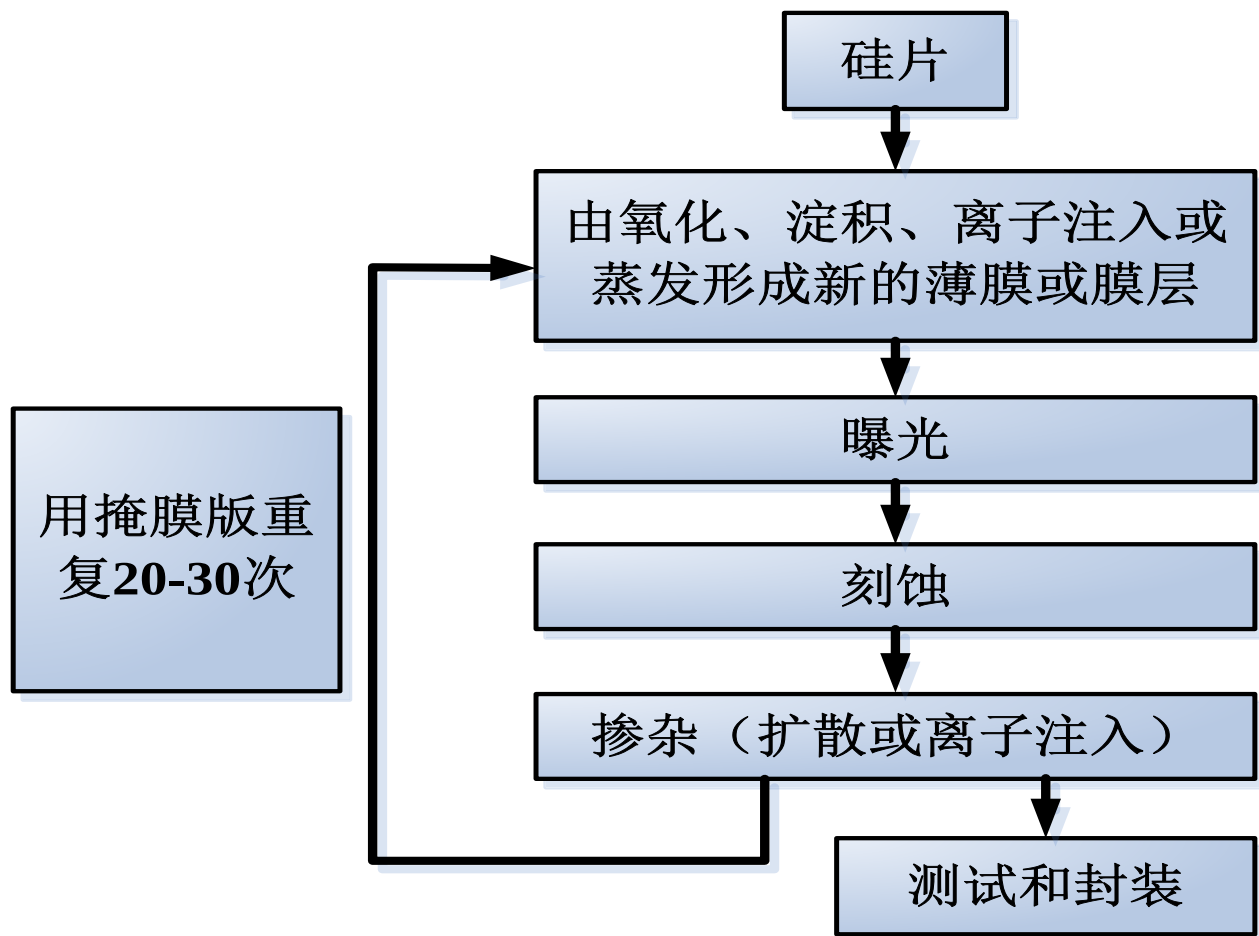
EDA公司简介

- **Mentor**公司主要提供可测性设计（**DFT**）和版图验证工具。
- **Magma**公司主要提供深亚微米工艺下数字集成电路设计后端设计工具。
- 华大电子的“九天”工具主要用于全定制以及模拟电路设计中的后端开发与验证分析，如**SoC**中的模拟模块设计或者单独模拟器件中版图的设计、验证、分析等。

集成电路制造的主要流程

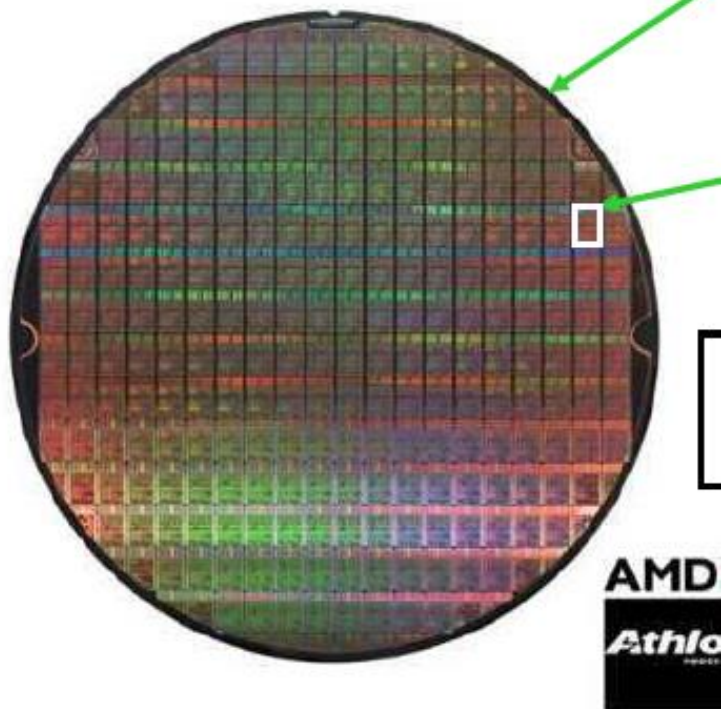


芯片加工主要过程



硅晶片

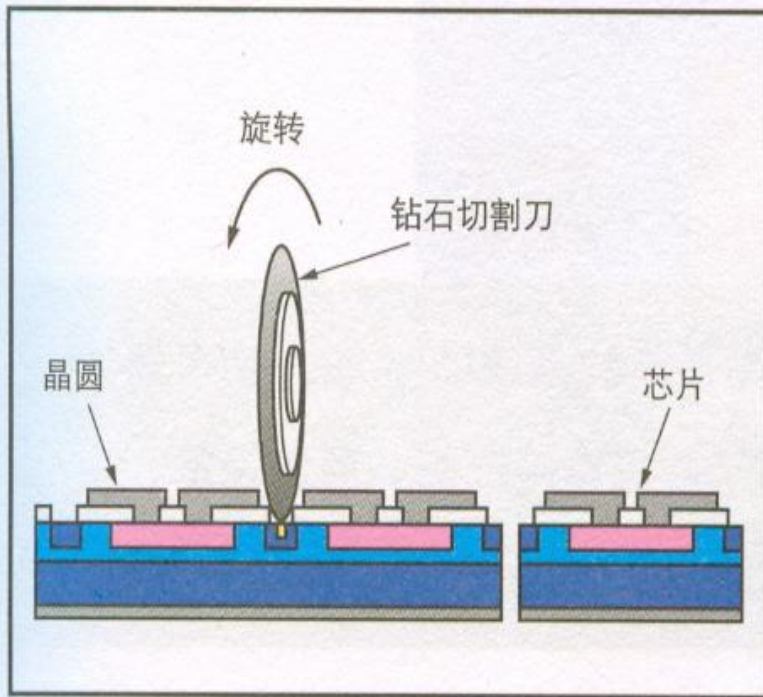
集成电路



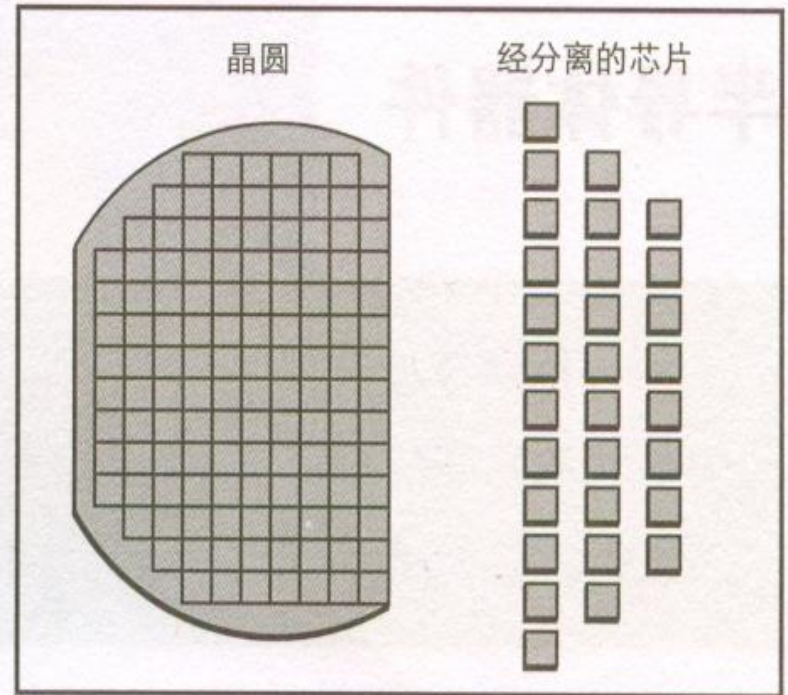
一个硅晶片上,通过相应的工艺,可以生产上百个集成电路芯片,最后通过切割工艺,将一个晶圆片切割成上百个独立的芯片



芯片切割



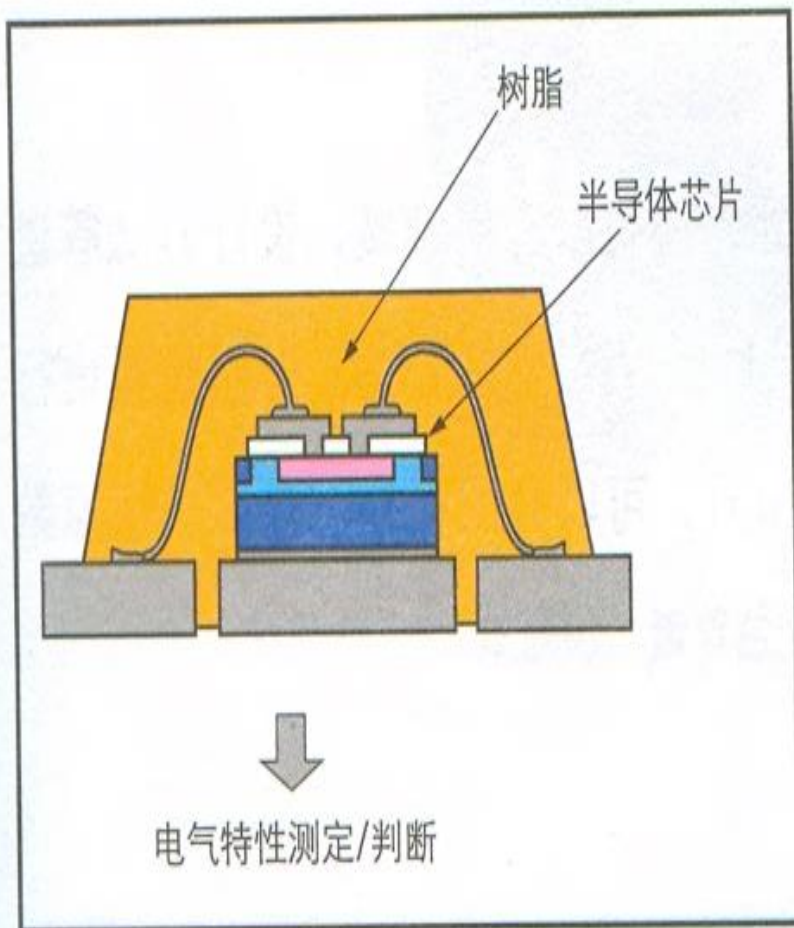
模造



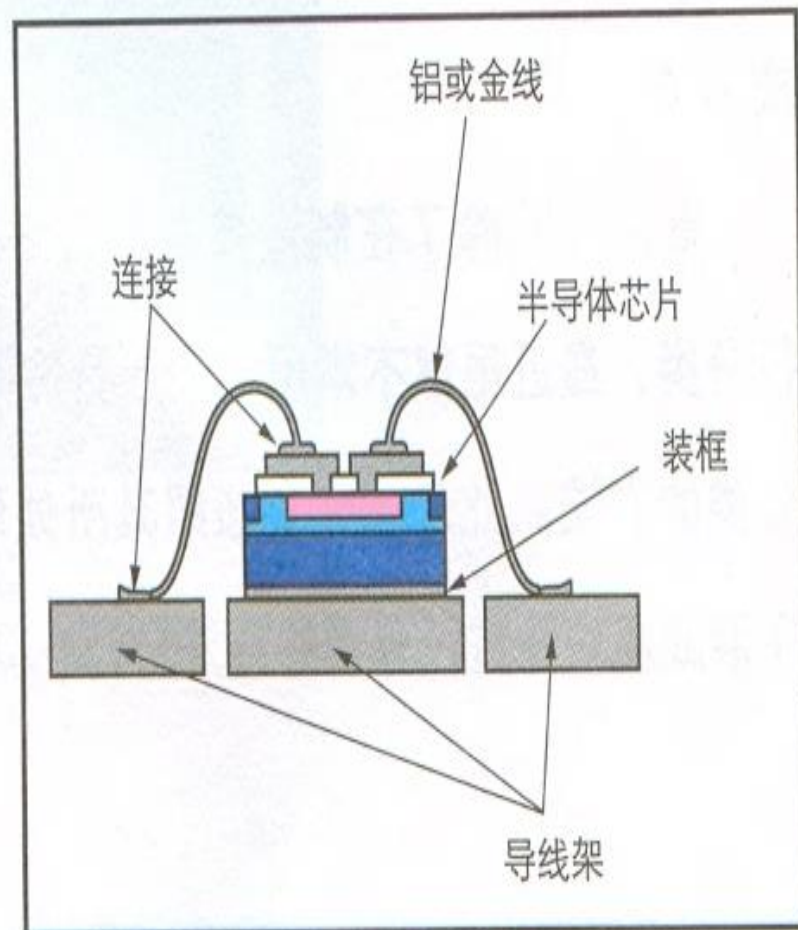
芯片切割



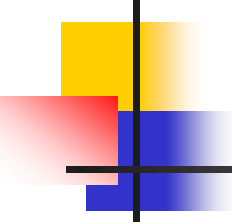
封装与压焊



封装（树脂密封）



芯片安装及连接



集成电路工艺厂商

- 集成电路生产线非常昂贵，一个生产厂的价格约为20-30亿美元。
- 8寸晶圆主要生产100~200纳米制程芯片，芯片面积较小、线幅宽的类比半导体或各种逻辑芯片、微处理器等。
- 一个12寸晶圆的价格为120美元。主要生产DRAM与闪存、图像传感器、电源管理元件，还有IC尺寸较大、复杂的逻辑与微处理器。
- 世界著名集成电路工艺厂有台湾台积电(TSMC)，新加坡特许半导体(Chartered)公司，大陆的中芯国际(SMIC)，华虹NEC等公司。